

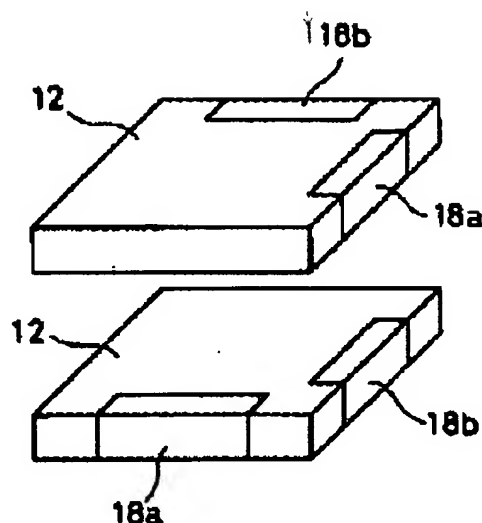
MULTITERMINAL-TYPE ELECTRONIC COMPONENT

Patent number: JP2003045741
Publication date: 2003-02-14
Inventor: IKEDA MASAO
Applicant: MURATA MANUFACTURING CO
Classification:
- International: H01C7/10; H01G4/30; H01G4/38; H01C7/10;
H01G4/30; H01G4/38; (IPC1-7): H01G4/30; H01C7/10;
H01G4/38
- european:
Application number: JP20010230013 20010730
Priority number(s): JP20010230013 20010730

Report a data error here

Abstract of JP2003045741

PROBLEM TO BE SOLVED: To provide a multiterminal electronic component, which is hardly influenced by the element defect of a stack, is easy of manufacture and is small in parasitic capacity. **SOLUTION:** A multiterminal-type capacitor 10 includes two stacked blocks 12. Each block 12 is made, by stacking a plurality of dielectric sheets where electrodes are made. The electrode made in the dielectric sheet is drawn out to adjacent sides and connected to external electrodes 18a and 18b. Thereby, each stack block 12 acts as a stacked capacitor. The external electrode 18a of one stack block 12 and the external electrode 18b of the other stack block 12 are arranged on the same side and are laid on top of the other, and another external electrode is formed so as to connect them. Likewise, other two external electrodes are formed so as to be connected severally with the other two external electrodes 18a and 18b.



Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-45741

(P2003-45741A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ト*(参考)
H 0 1 G 4/30	3 0 1	H 0 1 G 4/30	3 0 1 D 5 E 0 3 4
H 0 1 C 7/10		H 0 1 C 7/10	5 E 0 8 2
H 0 1 G 4/38		H 0 1 G 4/38	A

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2001-230013(P2001-230013)

(22) 出願日 平成13年7月30日 (2001.7.30)

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 池田 正男

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74) 代理人 100079577

弁理士 岡田 全啓

Fターム(参考) 5E034 CB01 DA07 DC01

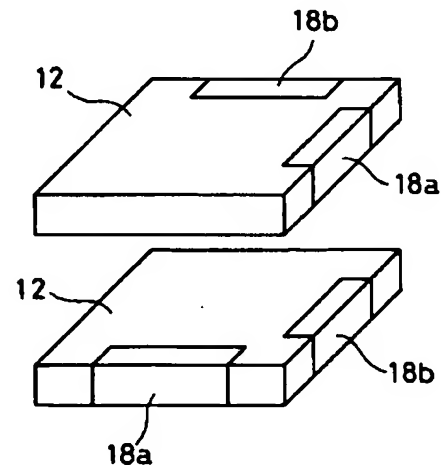
5E082 AA01 AB03 CC03 EE04 FF05

(54) 【発明の名称】 多端子型電子部品

(57) 【要約】

【課題】 積層体の素体欠陥の影響を受けにくく、製作が容易で、浮遊容量の小さい多端子型電子部品を得る。

【解決手段】 多端子型コンデンサ10は、2つの積層ブロック12を含む。それぞれの積層ブロック12は、電極を形成した複数の誘電体シートを積層することにより形成される。誘電体シートに形成される電極は、隣接する辺に引き出され、外部電極18a、18bに接続される。それによって、各積層ブロック12は、積層コンデンサとして働く。一方の積層ブロック12の外部電極18aと他方の積層ブロック12の外部電極18bとを同じ側に配置して重ね合わせ、これらを接続するように別の外部電極を形成する。同様に、他の2つの外部電極18a、18bのそれぞれに接続されるように、別の2つの外部電極を形成する。



【特許請求の範囲】

【請求項 1】 2つの異なる辺に引き出される電極が形成された 2 種類のシートを交互に複数枚積層して前記電極引き出し部に外部電極を形成した積層ブロックを含み、複数の前記積層ブロックを重ね合わせた多端子型電子部品であって、複数の前記積層ブロックの電極引き出し面の少なくとも 1 つが互いに異なる向きとなるようにした、多端子型電子部品。

【請求項 2】 少なくとも 1 つの前記積層ブロックにおいて、前記 2 種類のシートの少なくとも一方に複数の電極が形成されて 1 つの辺に引き出されたことを特徴とする、請求項 1 に記載の多端子型電子部品。

【請求項 3】 隣接する前記積層ブロック間の隣接する前記電極が同じ辺に引き出されるように配置され、前記隣接する電極が同じ電位となるようにしたことを特徴とする、請求項 1 または請求項 2 に記載の多端子型電子部品。

【請求項 4】 外側に配置された前記積層ブロックの最外面にトリミング用電極を形成したことを特徴とする、請求項 1 ないし請求項 3 のいずれかに記載の多端子型電子部品。

【請求項 5】 前記シートは、バリスタ特性を有する材料で形成されたことを特徴とする、請求項 1 ないし請求項 4 のいずれかに記載の多端子型電子部品。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、多端子型電子部品に関し、特に、たとえば積層コンデンサブロック、積層バリスタブロック、積層インピーダンスブロックなどとして用いられる多端子型電子部品に関する。

【0002】

【従来の技術】図 26 は、従来の多端子型電子部品の一例としてのブリッジコンデンサを示す斜視図である。ブリッジコンデンサ 1 は、積層体 2 を含む。積層体 2 は、図 27 に示すように、複数の四角形の誘電体シート 3 を積層して形成される。これらの誘電体シート 3 には、それぞれ電極 4 が形成される。電極 4 は、それぞれ誘電体シート 3 の異なる 4 つの辺に引き出される。そして、これらの誘電体シート 3 が順次積層されて、積層体 2 が形成される。積層体 2 の 4 つの辺には、それぞれ外部電極 5 が形成され、その辺に引き出された電極 4 に接続される。

【0003】このブリッジコンデンサ 1 は、図 28 に示すような、ブリッジ回路を構成する。つまり、電極 4 が誘電体シート 3 を介して対向するように配置されるため、各外部電極 5 の間にコンデンサが形成され、これらのコンデンサがブリッジ型に接続される。

【0004】

【発明が解決しようとする課題】しかしながら、このようなブリッジコンデンサでは、各外部電極間に形成されるコンデンサの静電容量を大きくすることが困難である。つまり、静電容量を大きくするためには、異なる辺に電極が引き出された誘電体シートの積層数を増やす必要があるが、この場合、積層体の厚みが厚くなる。積層体の厚みが厚くなると、割れが発生しやすく、製作上の難度が大きくなり、信頼性の高いものが得られにくくなる。

10 【0005】また、図 26 に示すブリッジコンデンサでは、誘電体シートの異なる辺に引き出された電極には、異なる電位が与えられる。そのため、積層体の素体欠陥の影響を受けやすくなり、耐圧は設計上の制約を受けやすくなる。そして、高耐圧の設計をしようとするれば、単一素子のコンデンサを製作する場合に比べて、誘電体シート厚を大きくしなければならず、上述のように割れが発生しやすくなる。

20 【0006】さらに、このようなブリッジコンデンサでは、1 つの素子内に複数のコンデンサが形成されるため、これらのコンデンサ間の距離が接近して形成されるため、浮遊容量が大きくなってしまう。

【0007】それゆえに、この発明の主たる目的は、積層体の素体欠陥の影響を受けにくく、製作が容易で、耐電圧が大きく、浮遊容量の小さい多端子型電子部品を提供することである。

【0008】

【課題を解決するための手段】この発明は、2 つの異なる辺に引き出される電極が形成された 2 種類のシートを交互に複数枚積層して電極引き出し部に外部電極を形成した積層ブロックを含み、複数の積層ブロックを重ね合わせた多端子型電子部品であって、複数の積層ブロックの電極引き出し面の少なくとも 1 つが互いに異なる向きとなるようにした、多端子型電子部品である。このような多端子型電子部品においては、少なくとも 1 つの積層ブロックにおいて、2 種類のシートの少なくとも一方に複数の電極が形成されて 1 つの辺に引き出された構造とすることができる。また、隣接する積層ブロック間の隣接する電極が同じ辺に引き出されるように配置され、隣接する電極が同じ電位となるようにしてもよい。さらに、外側に配置された積層ブロックにトリミング用電極を形成してもよい。これらの多端子型電子部品において、シートとしては、誘電体材料で形成されたものを用いることができる。また、シートとしては、バリスタ特性を有する材料で形成されたものを用いることができる。さらに、シートとしては、抵抗材料で形成されたものを用いることができる。

50 【0009】2 つの異なる辺に引き出された電極を有する 2 種類のシートを交互に積層することによって、1 つの積層ブロックが形成される。このとき、シートの積層枚数を調整することにより、積層ブロックに形成される

素子の特性を調整することができる。このようにして得られた積層ブロックを複数個重ね合わせることににより、複数の素子を含む多端子型電子部品が得られる。このような多端子型電子部品において、2種類のシートの少なくとも一方に2つ以上の電極を形成して1つの辺に引き出されてもよく、この場合、1つの積層ブロックに複数の素子を形成することができる。また、隣接する積層ブロック間の隣接する電極が同じ電位となるように配置することにより、これらの電極間において、浮遊容量の発生を抑えることができる。さらに、外側に配置された積層ブロックにトリミング用電極を形成すれば、この電極をトリミングすることにより、多端子型電子部品の特性を調整することができる。このような多端子型電子部品において、シートの材料として誘電体材料を用いれば、多端子型コンデンサとすることができ、シートの材料としてバリスタ特性を有する材料を用いれば、多端子型バリスタとすることができ、また、シートの材料として、抵抗材料を用いれば、多端子型抵抗とすることができる。

【0010】この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【0011】

【発明の実施の形態】図1は、この発明の多端子型電子部品の一例としての多端子型コンデンサを示す斜視図である。多端子型コンデンサ10は、図2に示すように、2つの積層ブロック12を含む。積層ブロック12は、図3に示すように、2種類の誘電体シート14を含む。これらの誘電体シート14の一方面上には、それぞれ電極16a、16bが形成される。電極16aは、一方の誘電体シート14の1つの辺に引き出されるように形成される。また、電極16bは、他方の誘電体シート14上において、電極16aが引き出された辺に隣接する辺に引き出される。

【0012】そして、電極16aが形成された誘電体シート14と電極16bが形成された誘電体シート14とが、複数枚交互に積層される。なお、図3には示されていないが、最上層の電極16b上には、電極の形成されていない誘電体シート14が必要枚数積層され、電極16bが露出しないように形成される。また、最下層の誘電体シート14の外側にも、必要に応じて、電極の形成されていない誘電体シート14が積層される。そして、電極16aが引き出された辺に外部電極18aが形成され、電極16aと外部電極18aとが接続される。同様に、電極16bが引き出された辺に外部電極18bが形成され、電極16bと外部電極18bとが接続される。したがって、積層ブロック12は、外部電極18a、18b間に静電容量が形成された積層コンデンサとなる。

【0013】このような積層ブロック12を形成するには、たとえば誘電体材料で形成されたセラミックグリー

ンシート上に電極16a、16bの形状に電極材料を印刷し、セラミックグリーンシートを積層して焼成したのち、外部電極を焼き付けることによって形成される。

【0014】得られた積層ブロック12は、図2に示すように、向きを変えて重ね合わされる。つまり、一方の積層ブロック12の外部電極18bと他方の積層ブロック12の外部電極18aとが同じ向きとなるように、2つの積層ブロック12が重ね合わされる。これらの積層ブロック12は接着され、外部電極18a、18bが形成された側面には、全体的な外部電極20a、20b、20cが形成される。したがって、外部電極20aには、一方の積層ブロック12の外部電極18aが接続され、外部電極20bには、一方の積層ブロック12の外部電極18bと他方の積層ブロック12の外部電極18aとが接続される。また、外部電極20cには、他方の積層ブロック12の外部電極18bが接続される。あるいは、各積層ブロックに外部電極を焼き付けした後に、各ブロックを積み重ねて、金属端子で各ブロックの外部電極を接合してなるスタックコンデンサとしてもよい。

【0015】したがって、図1に示す多端子型コンデンサ10は、図4に示すように、2つのコンデンサが直列に接続され、これらのコンデンサの接続部から端子が引き出されたT字型の回路が得られる。

【0016】また、図5に示すように、3つの積層ブロック12を重ね合わせてもよい。図5に示す多端子型コンデンサ10では、中央部の積層ブロック12として、対向する辺に電極16a、16bが引き出され、これらに接続される外部電極18a、18bが形成されたものが用いられる。そして、外側の2つの積層ブロック12としては、図3に示すような積層構造を有するものが、外部電極18a、18bの位置を変えて重ね合わされる。

【0017】この多端子型コンデンサ10では、4つの側面に外部電極20a、20b、20c、20dが形成される。外部電極20aには、上側の積層ブロック12の外部電極18a、中間の積層ブロック12の外部電極18aおよび下側の積層ブロック12の外部電極18bが接続される。また、外部電極20bには、上側の積層ブロック12の外部電極18bが接続される。さらに、外部電極20cには、中間の積層ブロック12の外部電極18bが接続される。また、外部電極20dには、下側の積層ブロック12の外部電極18aが接続される。

【0018】したがって、図5に示す多端子型コンデンサ10では、図7に示すように、外部電極20aを共通電極として、3つのコンデンサがスター型に接続された回路が形成される。

【0019】また、図8に示すように、上側の積層ブロック12と中間の積層ブロック12として隣接する外部電極18a、18bが形成されたものを用い、下側の積層ブロック12として対向する外部電極18a、18b

が形成されたものを用いてもよい。この場合、図1と同様の配置で、積層型コンデンサ10全体としては、3つの外部電極20a、20b、20cが形成される。そして、これらの外部電極20a、20b、20c間において、図9に示すように、デルタ型にコンデンサが接続された回路が形成される。

【0020】また、図10に示すように、隣接する外部電極18a、18bが形成された3つの積層ブロック12を積み重ねてもよい。この多端子型コンデンサ10では、図5と同様の配置で、全体として4つの外部電極20a、20b、20c、20dが形成される。そして、この多端子型コンデンサ10には、図11に示すように、3つのコンデンサが直列に接続され、各コンデンサの接続部から外部電極が引き出された回路が形成される。

【0021】さらに、図12に示すように、隣接する外部電極18a、18bが形成された4つの積層ブロック12が積み重ねられてもよい。この場合も、図5と同様に配置で、全体として4つの外部電極20a、20b、20c、20dが形成され、図13に示すように、ブリッジ型に4つのコンデンサが接続された回路が得られる。

【0022】また、図14に示すように、隣接する外部電極18a、18bが形成された4つの積層ブロック12と、対向する外部電極18a、18bが形成された1つの積層ブロック12を積み重ねることによって、多端子型コンデンサ10を形成してもよい。この場合、図15に示すように、4つの外部電極20a、20b、20c、20d間にコンデンサが形成され、さらに、対向する外部電極20a、20c間にコンデンサが形成された回路を得ることができる。

【0023】このように、1つのコンデンサが形成された積層ブロック12を重ね合わせるにより、種々の回路を有する多端子型コンデンサ10を得ることができる。また、個々の積層ブロック12に1つのコンデンサを形成することにより、高容量、高耐圧で、浮遊容量の小さい多端子型コンデンサ10を得ることができる。

【0024】つまり、積層コンデンサの静電容量は、誘電体シートの厚みと誘電率、および対向電極の面積とその積層数で決定される。1つの素体の中に複数のコンデンサが形成される従来の多端子型コンデンサでは、同じ厚みの素体で比べると、たとえば4個のコンデンサが素体内に形成される場合、1個のコンデンサが形成される場合に比べて、1個当りのコンデンサの静電容量は1/4となる。そこで、積層数を増やして静電容量を大きくする方法が考えられるが、その場合、素体の厚みが厚くなり、素体割れなどの製作上の難度が非常に大きくなり、信頼性の高いものが得られにくいという問題がある。それに対して、1つの積層ブロック12に1個のコンデンサを形成すれば、素子厚が薄くても、高容量の

コンデンサを形成することができる。このように、個々の積層ブロック12は薄いものであるため、素子割れなどが発生しにくく、容易に積層ブロック12を製作可能である。さらに、多端子型コンデンサ10は、複数の積層ブロック12を重ね合わせるにより作製されるため、製造時に素子割れなどが発生することを防ぐことができる。

【0025】また、積層コンデンサの耐圧は、誘電体シートの厚みと耐圧、内部の電極と端面とのギャップ寸法によって決定される。従来の多端子型コンデンサでは、1つの素体内に複数のコンデンサが形成されるため、隣接する電極間、さらに隣の電極、さらに隣の電極と、それぞれ異なる電位が与えられて使用されるため、素体欠陥の影響を受けやすくなり、耐圧の設計上の制約を受けやすい。それに対して、1つの積層ブロックに1個のコンデンサを形成する場合、1つの素体内では3つ以上の異なる電位は与えられないため、素体欠陥の影響を受けにくくなり、高耐圧のものを得ることができる。さらに、積層ブロック12については、最外層は厚く形成されるため、異なる積層ブロック12を積み重ねると、隣接する積層ブロック12の電極間距離は大きくなり、積層ブロック12間の耐圧も高くなる。

【0026】また、従来の多端子型コンデンサでは、1つの素体内にいくつかのコンデンサが形成されるため、コンデンサ素子間の距離が接近し、浮遊容量が大きくなってしまふ。それに対して、1つの積層ブロック12内に1個のコンデンサを形成する場合、1つの積層ブロック内においては、浮遊容量が発生しない。さらに、最外層は厚く形成されるため、異なる積層ブロック12を重ね合わせると、隣接する積層ブロック12の電極間距離は大きくなり、積層ブロック12間に浮遊容量が発生しにくい。

【0027】また、図16に示すように、一方の誘電体シート14上に、1つの電極16aを形成し、他方の誘電体シート14上に2つの電極16b、16cを形成したものを積層して、積層ブロック12を形成してもよい。この場合、図17に示すように、2つのコンデンサの一端が接続された回路が形成される。

【0028】さらに、図18に示すように、図16に示すような2つの積層ブロック12を重ね合わせて、図19に示すように、外部電極20a、20b、20c、20dを形成することができる。この場合、図20に示すように、コンデンサのブリッジ回路を得ることができる。このとき、図18に示すように、2つの積層ブロック12の電極16aは、逆方向に引き出されて、外部電極20a、20dに接続される。

【0029】さらに、図21に示すように、4つの積層ブロック12を積み重ねて図22に示すように、外部電極20a~20fを形成することができる。この場合、図23に示すように、コンデンサのダブルブリッジ回路

を得ることができる。このとき、図21に示すように、各積層ブロック12として、電極16a、16b、16cの引き出し方向の組み合わせが異なる積層ブロック12が用いられる。

【0030】このように、1つの誘電体シート14上に複数の電極16b、16cを形成することにより、1つの積層ブロック12内に複数のコンデンサを形成することができる。そして、このような積層ブロック12を重ね合わせることに、複雑な回路を有する多端子型コンデンサ10を得ることができる。もちろん、各積層ブロック12において、誘電体シート14の積層数を調整することにより、コンデンサの静電容量を調整することができることは言うまでもない。

【0031】これらの多端子型コンデンサ10において、図24に示すように、隣接する積層ブロック12の最外層側の隣接する電極16が同じ向きに引き出されるように配置し、これらの電極16を外部電極で接続することにより、隣接する積層ブロック12間での浮遊容量の発生を防止することができる。このような配置を採用することにより、各積層ブロック12の外層厚みを小さくすることができ、積層ブロック12の電極積層数を増やせるため、静電容量を大きく設計することができる。また、電極の積層数を増やせるため、同じ静電容量であれば、電極面積を小さくすることができる。そのため、電極と積層ブロック12の端部との間のギャップを大きくすることができ、浮遊容量を減らしたり、耐圧を大きくすることができる。

【0032】さらに、たとえば図15に示すような回路を有する多端子型コンデンサ10において、コンデンサの1つをセンサなどに置き換えた場合、外側に配置された積層ブロック12をトリミング用として用いることができる。この場合、たとえば図25に示すように、最上層に配置された積層ブロック12内には電極16a、16bが形成され、さらに、この積層ブロック12の最外面に電極16aが形成される。この最外面の電極16aが、トリミング用電極として用いられる。そして、この積層ブロック12の最外面の電極16aにレーザー光などを照射し、このトリミング用電極16aをトリミングすることにより、ブリッジの平衡条件となるように調整することができる。

【0033】なお、積層ブロック12としては、必ずしもコンデンサが形成されたものである必要はなく、電極が形成されるシートと材料として抵抗材料を用いることにより、複数の抵抗を接続した回路を形成することもできる。さらに、電極が形成されるシートと材料として、バリスタ特性を有する材料を用いることにより、複数のバリスタを接続した回路を形成することもできる。また、同じ素子を形成した積層ブロック12を用いる必要はなく、異なる素子が形成された積層ブロック12を組み合わせて、種々の回路を構成することがで

きる。

【0034】

【発明の効果】この発明によれば、1つの素体内に全ての素子を形成するのではなく、素子が形成された積層ブロックを重ね合わせるにより多端子型電子部品が作製されるため、個々の積層ブロックにおいて内部欠陥などの影響を受けにくい。また、多数の素子を組み合わせた回路であっても、個々の積層ブロックは薄くすることができるため、製造時において素子割れなどの発生を防ぐことができる。また、積層ブロック内の電極に多数の電位が与えられないため、積層ブロック内において、浮遊容量が発生しにくい。さらに、隣接する積層ブロックについては、外層部によって隣接する電極間の距離が大きくなるため、積層ブロック間の浮遊容量の発生を抑えることができる。さらに、隣接する積層ブロック間の隣接する電極を同じ電位となるように配置することにより、積層ブロック間の浮遊容量の発生を抑えることができる。また、積層ブロックを構成するシートに複数の電極を形成することにより、積層ブロック内に複数の素子を形成することができる。このような積層ブロックを積み重ねることにより、複雑な回路を有する多端子型電子部品を得ることができる。さらに、外側に配置された積層ブロックをトリミング用として用いることにより、多端子型電子部品に形成された回路の特性を調整することができる。

【図面の簡単な説明】

【図1】この発明の多端子型電子部品の一例としての多端子型コンデンサを示す斜視図である。

【図2】図1に示す多端子型コンデンサの分解斜視図である。

【図3】図1に示す多端子型コンデンサに用いられる積層ブロックの一例を示す分解斜視図である。

【図4】図1に示す多端子型コンデンサの回路図である。

【図5】この発明の多端子型コンデンサの他の例を示す斜視図である。

【図6】図5に示す多端子型コンデンサの分解斜視図である。

【図7】図5に示す多端子型コンデンサの回路図である。

【図8】この発明の多端子型コンデンサのさらに他の例を示す分解斜視図である。

【図9】図8に示す多端子型コンデンサの回路図である。

【図10】この発明の多端子型コンデンサの別の例を示す分解斜視図である。

【図11】図10に示す多端子型コンデンサの回路図である。

【図12】この発明の多端子型コンデンサにおいてブリッジ回路を構成した例を示す分解斜視図である。

【図 13】図 12 に示す多端子型コンデンサの回路図である。

【図 14】この発明の多端子型コンデンサにおいてダブルブリッジ回路を構成した例を示す分解斜視図である。

【図 15】図 14 に示す多端子型コンデンサの回路図である。

【図 16】1つの誘電体シート上に2つの電極を形成した積層ブロックの例を示す分解斜視図である。

【図 17】図 16 に示す積層ブロックの回路図である。

【図 18】図 16 に示すような積層ブロックを2つ積み重ねて形成された多端子型コンデンサの例を示す分解斜視図である。

【図 19】図 18 に示す多端子型コンデンサを示す斜視図である。

【図 20】図 18 に示す多端子型コンデンサの回路図である。

【図 21】図 16 に示すような積層ブロックを4つ積み重ねて形成された多端子型コンデンサの例を示す分解斜視図である。

【図 22】図 21 に示す多端子型コンデンサを示す斜視図である。

*【図 23】図 20 に示す多端子型コンデンサの回路図である。

【図 24】隣接する積層ブロックの隣接する電極が同じ電位となるように配置された例を示す図解図である。

【図 25】図 15 に示す回路を有する多端子型コンデンサにトリミング用電極を形成した例を示す分解斜視図である。

【図 26】従来の多端子型電子部品の一例としてのブリッジコンデンサを示す斜視図である。

【図 27】図 26 に示す従来のブリッジコンデンサの分解斜視図である。

【図 28】図 26 に示す従来のブリッジコンデンサの回路図である。

【符号の説明】

10 多端子型コンデンサ

12 積層ブロック

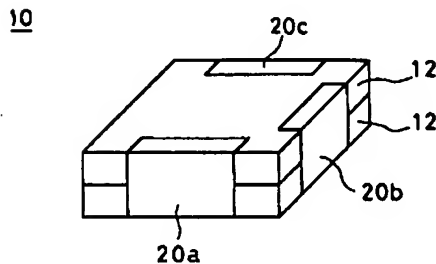
14 誘電体シート

16 a, 16 b, 16 c 電極

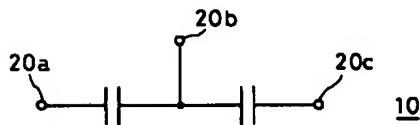
18 a, 18 b, 18 c, 18 d 外部電極

20 a ~ 20 f 外部電極

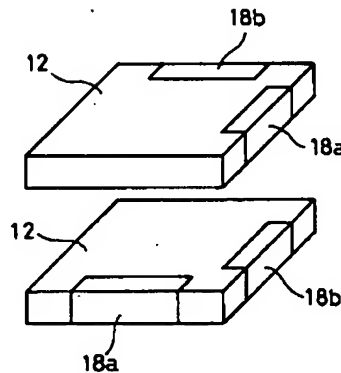
【図 1】



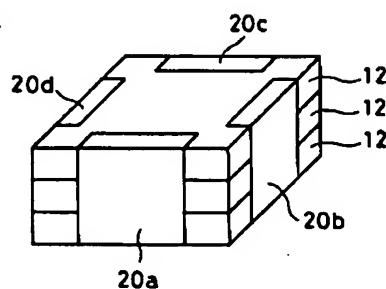
【図 4】



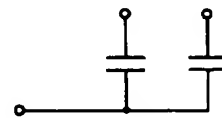
【図 2】



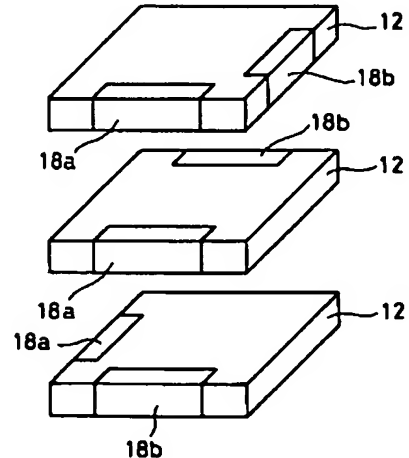
【図 5】



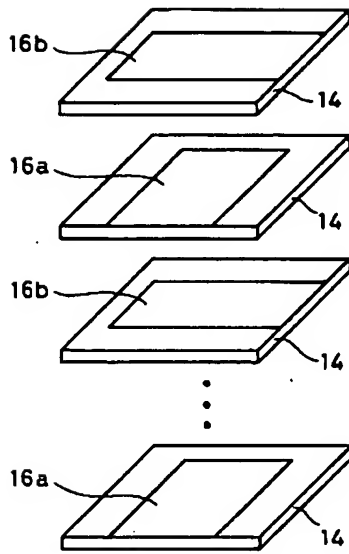
【図 17】



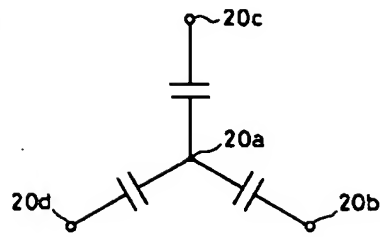
【図 6】



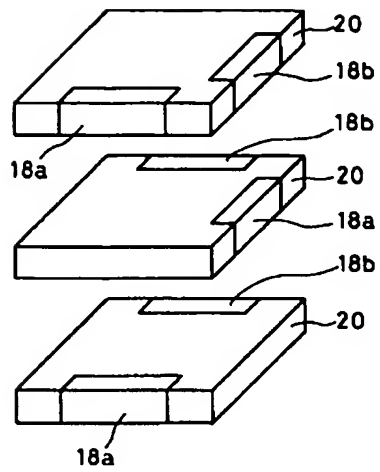
【図3】



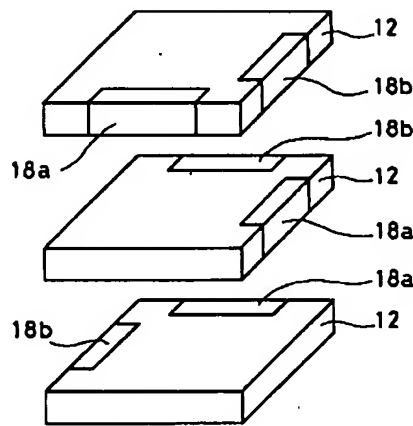
【図7】



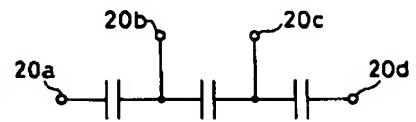
【図8】



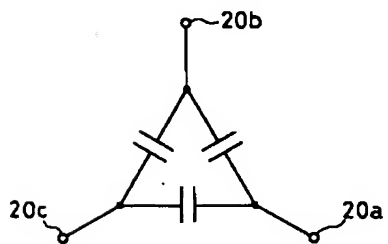
【図10】



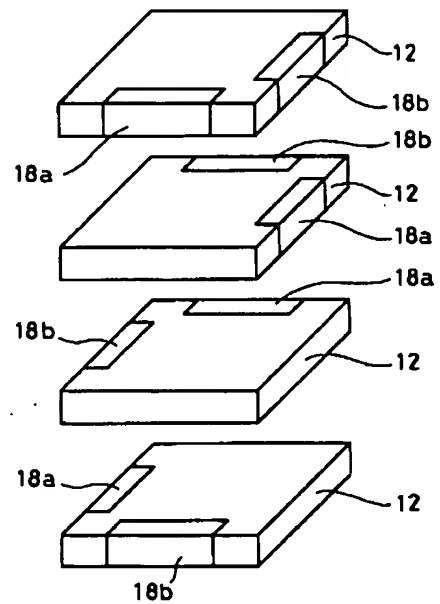
【図11】



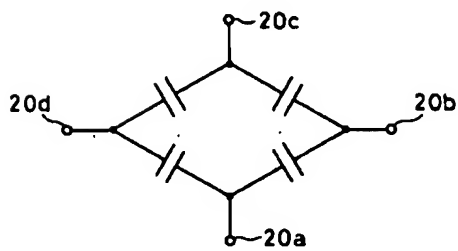
【図9】



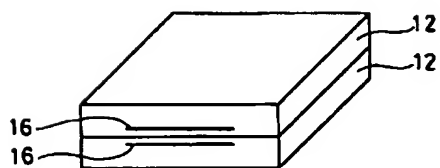
【図12】



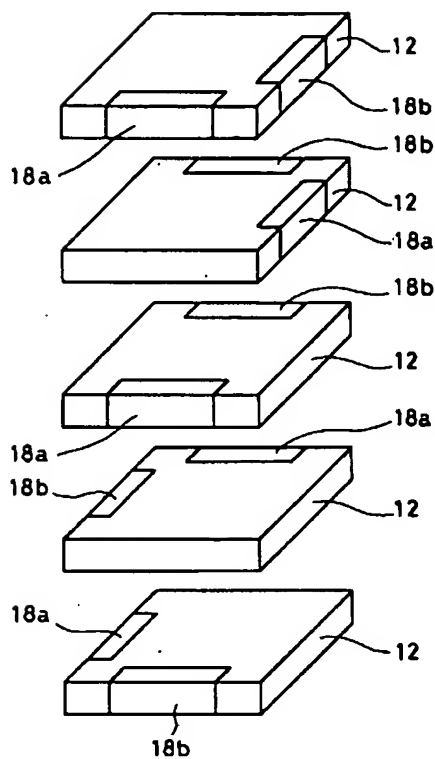
【図13】



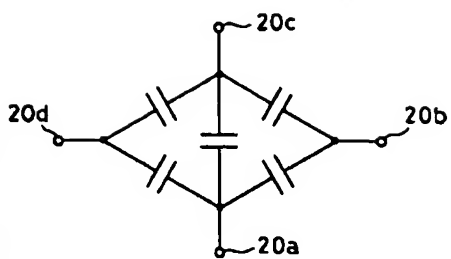
【図24】



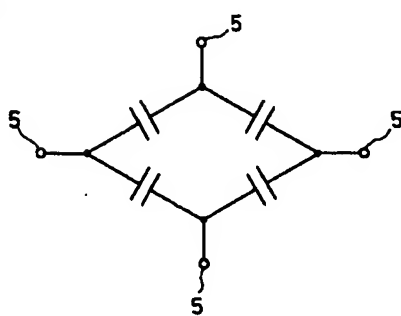
【図14】



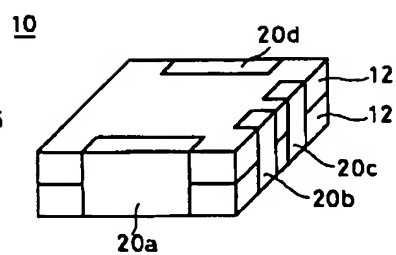
【図15】



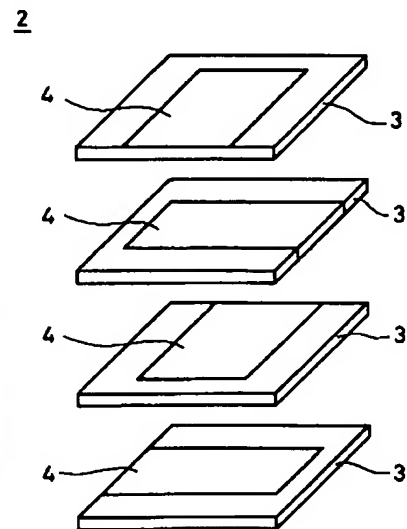
【図28】



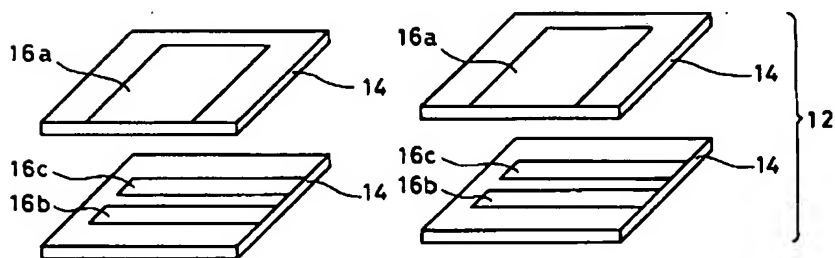
【図19】



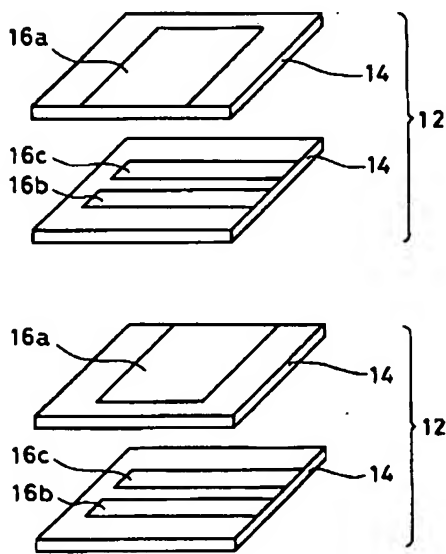
【図27】



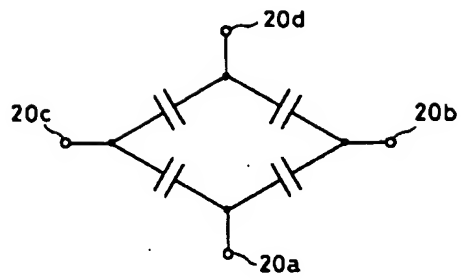
【図16】



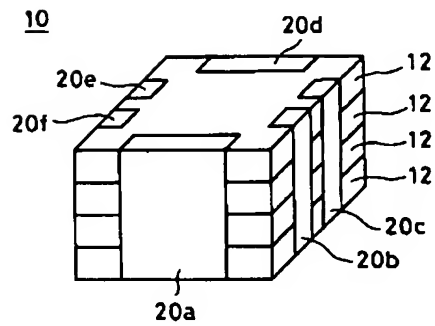
【図18】



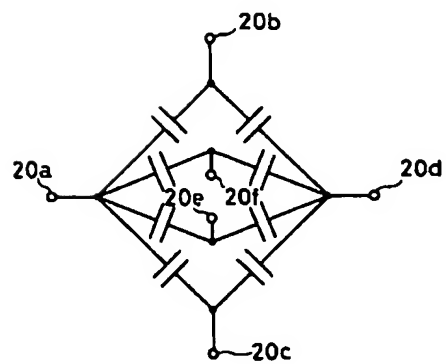
【図 20】



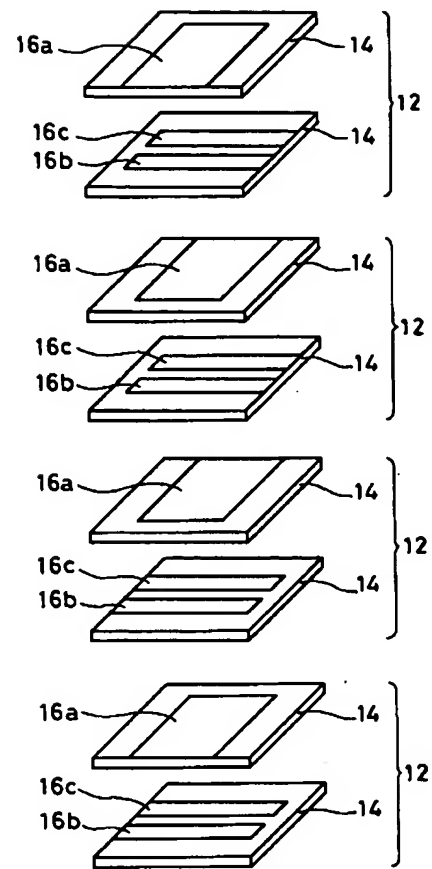
【図 22】



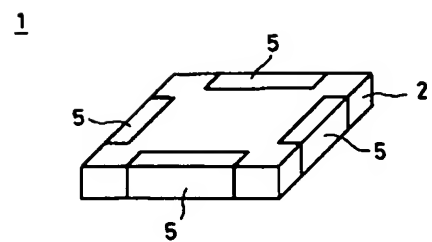
【図 23】



【図 21】



【図 26】



【図25】

